

Inhaltsverzeichnis:

Thema	Bereiche	Seite
Grundlagen Digitaltechnik	Unterschied Analog- bzw. Digitalsignale	4-3
Zahlensysteme	Binär, Octal, Dezimal, Hexadezimal	4-3
	BCD-Code	4-3
Verknüpfungsglieder	UND-Verknüpfung	4-4
	ODER-Verknüpfung	4-4
	NICHT-Verknüpfung	4-4
	NAND-Verknüpfung	4-4
	NOR-Verknüpfung	4-4
	EX-NOR-Verknüpfung (Äquivalenz)	4-5
	EX-OR-Verknüpfung (Antivalenz)	4-5
Rechenregeln für logische Verknüpfung		4-5
KV-Diagramm	Umsetzung Wertetabelle -> KV-Diagramm	4-6
	Regeln für die Blockbildung im KV-Diagramm	4-6
Funktionsgleichungen aus KV-Diagr.	Min-Term-Methode	4-7
	Max-Term-Methode	4-7
	Disjunktive Darstellungsform	4-7
	Konjunktive Darstellungsform	4-7
Schaltungslogik	TTL-Familie	4-8
	CMOS-Familie	4-8
Kennwerte von Logikfamilien	Erklärung	4-9
RS-Flip-Flop	Schaltzeichen und ESB	4-10
	Signal-Zeit-Plan	4-10
	Wahrheitstabelle	4-10
RS-Flip-Flop aus NAND	Schaltzeichen und ESB	4-11
	Wahrheitstabelle	4-11
Entprellung	Schaltungsaufbau	4-11
	Signal-Zeit-Plan	4-11
Statisches D-Flip-Flop	Schaltzeichen	4-12
	Signal-Zeit-Plan	4-12
	Wahrheitstabelle	4-12
Dynamisches D-Flip-Flop	Schaltzeichen	4-12
	Signal-Zeit-Plan	4-12
	Wahrheitstabelle	4-12
JK-Flip-Flop Einflankengesteuert	Schaltzeichen	4-13
	Signal-Zeit-Plan	4-13
	Wahrheitstabelle	4-13
JK-Flip-Flop Zweiflankengesteuert	Schaltzeichen und ESB	4-14
	Signal-Zeit-Plan	4-14
	Wahrheitstabelle	4-14
Sonderformen JK-Flip-Flop	DV-Flip-Flop	4-15
	T-Flip-Flop	4-15
Monostabile Kippglieder	Schaltzeichen	4-16
	Signal-Zeit-Plan für positive Flankensteuerung	4-16
	Signal-Zeit-Plan für negative Flankensteuerung	4-16
Nachtriggerbares Monoflop	Signal-Zeit-Plan	4-17
Monoflop mit Rücksetzen	Schaltzeichen und Signal-Zeit-Plan	4-17
Außenbeschaltung eines Monoflops	Berechnung und Beschaltung	4-17

Thema	Bereiche	Seite
Zähler	Grundprinzip	4-18
Asynchroner Vorwärtszähler (Dualzähler)	Schaltbild	4-19
	Signal-Zeit-Plan und Norm-Schaltbild	4-19
Asynchroner Rückwärtszähler	Schaltbild	4-20
	Signal-Zeit-Plan und Norm-Schaltbild	4-20
Asynchroner Modulo-Zähler	Schaltbild	4-20
Asynchroner Dezimalzähler	Schaltbild	4-21
	Norm-Schaltbild	4-21
Probleme beim Asynchrnzähler	Signal-Zeit-Plan	4-22
	Berechnung der Zählfrequenz	4-22
Synchronzähler	Berechnung der Zählfrequenz	4-23
	Schaltbild	4-23
Schieberegister	Schaltbild und Signal-Zeit-Plan	4-24

Grundlagen Digitaltechnik:**Unterschied zwischen analogen und digitalen Signalen:**

Analoge Signale können jeden beliebigen Wert annehmen.

Digitale Signale können nur bestimmte definierte Werte annehmen.

Binäre Signale sind die grösste Darstellung digitaler Signale. Es sind zwei Werte möglich:
z.B. 0 / 1 bzw. 0V / 5V bzw. low / high

Definitionen:

- Bit: Kleinste Informationseinheit die mit einer Leitung als binäres Signal (=digital) darstellbar ist. z.B. Ein / Aus (Binary Digit = Bit)
- Binärwort: Es werden mehrere Binärzeichen zu einem Binärwort zusammengefügt.
- 1 Byte entspricht 8 Bit
- 1 kB entspricht 2^{10} Byte = 1024 Byte
- 1 MB entspricht 2^{10} kByte = 1024 kByte = 2^{20} Byte
- 1 GB entspricht 2^{10} MByte = 1024 MByte = 2^{20} kByte = 2^{30} Byte

Zahlensysteme:

	Dual	Octal	Dezimal	Hexadezimal
Basis	2	8	10	16
Notwendige Ziffern	0, 1	0, 1, 2, 3, 4, 5, 6, 7	0, 1, 2, 3, 4, 5, 6, 7, 8, 9	0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F
Zahlenbeispiel	1 0 1 1 ₂	1 7 3 ₈	2 8 3 ₁₀	C 5 A ₁₆
Stellenwert als Potenz	2^3 2^2 2^1 2^0	8^2 8^1 8^0	10^2 10^1 10^0	16^2 16^1 16^0
Stellenwert dezimal	8 4 2 1	64 8 1	100 10 1	256 16 1
Wert des Zahlenbsp. dezimal	$1*8 + 0*4 + 1*2 + 0*1 = 11_{10}$	$1*64 + 7*8 + 3*1 = 123_{10}$	$2*100 + 8*10 + 3*1 = 283_{10}$	$12*256 + 5*16 + 10*1 = 3162_{10}$

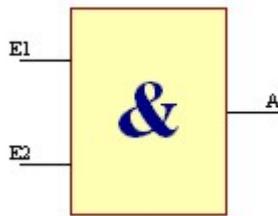
BCD-Code (Binärcode):

Beim BCD-Code wird jede Ziffer einer Zahl durch eine Binärzahl dargestellt. Die Binärzahl für eine Ziffer ist somit 4 Bit lang, um alle Ziffern von 0 bis 9 darstellen zu können.

Zahl	5 2 6	1 5 9	7 4 3
BCD-Code der Zahl	0101 0010 0110	0001 0101 1001	0111 0100 0011

UND-Verknüpfung (AND-Verknüpfung):

Schaltzeichen:



Funktionstabelle:

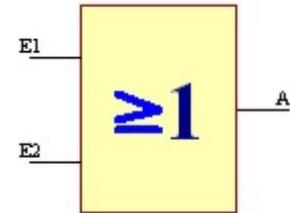
E1	E2	A
0	0	0
0	1	0
1	0	0
1	1	1

Funktionsgleichung:

$$\boxed{E1 \wedge E2 = A}$$

ODER-Verknüpfung (OR-Verknüpfung):

Schaltzeichen:



Funktionstabelle:

E1	E2	A
0	0	0
0	1	1
1	0	1
1	1	1

Funktionsgleichung:

$$\boxed{E1 \vee E2 = A}$$

NICHT-Verknüpfung (NOT-Verknüpfung):

Schaltzeichen:



Funktionstabelle:

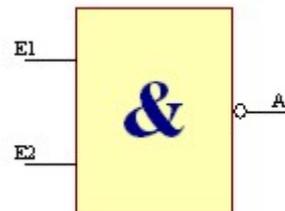
E	A
0	1
1	0

Funktionsgleichung:

$$\boxed{\overline{E} = A}$$

NAND-Verknüpfung:

Schaltzeichen:



Funktionstabelle:

E1	E2	A
0	0	1
0	1	1
1	0	1
1	1	0

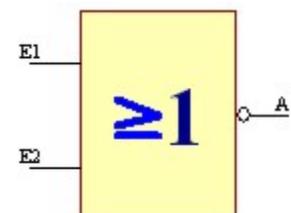
Funktionsgleichungen:

$$\boxed{\overline{E1 \wedge E2} = A}$$

$$\boxed{\overline{E1} \vee \overline{E2} = A}$$

NOR-Verknüpfung:

Schaltzeichen:



Funktionstabelle:

E1	E2	A
0	0	1
0	1	0
1	0	0
1	1	0

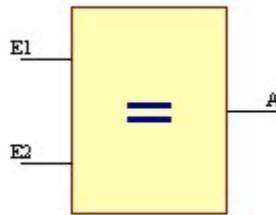
Funktionsgleichungen:

$$\boxed{E1 \vee E2 = A}$$

$$\boxed{\overline{E1} \wedge \overline{E2} = A}$$

**(EX-NOR-Verknüpfung):
Äquivalenz-Verknüpfung**

Schaltzeichen:



Funktionstabelle:

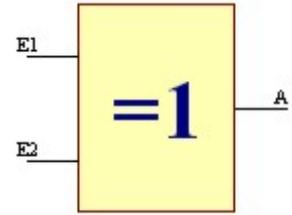
E1	E2	A
0	0	1
0	1	0
1	0	0
1	1	1

Funktionsgleichung:

$$\boxed{(\overline{E1} \wedge \overline{E2}) \vee (E1 \wedge E2) = A}$$

**(EX-OR-Verknüpfung):
Antivalenz-Verknüpfung**

Schaltzeichen:



Funktionstabelle:

E1	E2	A
0	0	0
0	1	1
1	0	1
1	1	0

Funktionsgleichung:

$$\boxed{(\overline{E1} \wedge E2) \vee (E1 \wedge \overline{E2}) = A}$$

Rechenregeln für Logische Verknüpfungen:

UND

$$\boxed{\begin{aligned} E \wedge 0 &= 0 \\ E \wedge 1 &= E \\ E \wedge E &= E \\ E \wedge \overline{E} &= 0 \end{aligned}}$$

ODER

$$\boxed{\begin{aligned} E \vee 0 &= E \\ E \vee 1 &= 1 \\ E \vee E &= E \\ E \vee \overline{E} &= 1 \end{aligned}}$$

NICHT

$$\boxed{\begin{aligned} \overline{\overline{E}} &= E \\ \overline{\overline{\overline{E}}} &= \overline{E} = \overline{X} \\ \overline{\overline{\overline{\overline{E}}}} &= \overline{E} = \overline{X} \\ \overline{\overline{\overline{\overline{\overline{E}}}}} &= E = \overline{X} \end{aligned}}$$

Vertauschen

$$\boxed{\begin{aligned} A \wedge B &= B \wedge A \\ A \vee B &= B \vee A \end{aligned}}$$

Ersatzgleichungen

$$\boxed{\begin{aligned} E1 \wedge E2 &= \overline{\overline{E1} \wedge \overline{E2}} = \overline{\overline{E1} \vee \overline{E2}} \\ E1 \vee E2 &= \overline{\overline{E1} \vee \overline{E2}} = \overline{\overline{E1} \wedge \overline{E2}} \\ \overline{\overline{E1} \wedge \overline{E2}} &= \overline{\overline{\overline{\overline{E1} \wedge \overline{E2}}}} = \overline{\overline{E1} \vee \overline{E2}} \\ \overline{\overline{E1} \vee \overline{E2}} &= \overline{\overline{\overline{\overline{E1} \vee \overline{E2}}}} = \overline{\overline{E1} \wedge \overline{E2}} \end{aligned}}$$

Klammern setzen:

$$\boxed{\begin{aligned} A \wedge B \wedge C &= (A \wedge B) \wedge C = A \wedge (B \wedge C) = B \wedge (A \wedge C) \\ A \vee B \vee C &= (A \vee B) \vee C = A \vee (B \vee C) = B \vee (A \vee C) \end{aligned}}$$

Ausklammern:

$$\boxed{\begin{aligned} (A \wedge B) \vee (A \wedge C) &= A \wedge (B \vee C) \\ (A \vee B) \wedge (A \vee C) &= A \vee (B \wedge C) \end{aligned}}$$

Vereinfachen (Kürzen):

$$\boxed{\begin{aligned} A \vee (A \wedge B) &= A & (A \wedge B) \vee (A \wedge \overline{B}) &= A & A \vee (\overline{A} \wedge B) &= A \vee B \\ A \wedge (A \vee B) &= A & (A \vee B) \wedge (A \vee \overline{B}) &= A & A \wedge (\overline{A} \vee B) &= A \wedge B \end{aligned}}$$

KV-Diagramm:

KV-Diagramme werden verwendet um aufgestellte Funktionsgleichungen zu vereinfachen. Dabei überträgt man die Zustände der Variablen aus der Wertetabelle in das entsprechende KV-Diagramm. KV-Diagramme sind bis maximal 5 Variablen sinnvoll, da sie sonst unübersichtlich werden.

Nr.	d	c	b	a
1	0	0	0	0
2	0	0	0	1
3	0	0	1	0
4	0	0	1	1
5	0	1	0	0
6	0	1	0	1
7	0	1	1	0
8	0	1	1	1
9	1	0	0	0
10	1	0	0	1
11	1	0	1	0
12	1	0	1	1
13	1	1	0	0
14	1	1	0	1
15	1	1	1	0
16	1	1	1	1

Für 2 Variablen:

	a	\bar{a}
b	4	3
\bar{b}	2	1

Für 3 Variablen:

	a		\bar{a}	
b	4	8	7	3
\bar{b}	2	6	5	1
	\bar{c}		c	

Für 4 Variablen:

	a				\bar{a}			
b	4	8	7	3	\bar{d}			
\bar{b}	12	16	15	11	d			
	10	14	13	9	\bar{d}			
	2	6	5	1	\bar{d}			
	\bar{c}				c			

Regeln für die Blockbildung im KV-Diagramm:

1. Es dürfen nur Felder zu Blöcken zusammengefasst werden, wenn sie gleiche Werte, also „1“ oder „0“, enthalten und benachbart sind.
2. Als benachbart gelten auch Felder, wenn sie an dem gegenüberliegenden Ende einer Zeile oder an den gegenüberliegenden Rändern einer Spalte liegen.
3. Es dürfen jeweils nur 2, 4, 8 oder 16 Felder zusammengefasst werden.
4. Einzelne Felder können auch 2 oder mehreren Blöcken zugeordnet werden.
5. Je größer der Block ist, desto einfacher wird die Funktionsgleichung
6. Die Funktionsgleichungen der einzelnen Blöcke sind mit der entsprechenden Verknüpfung zusammenzufassen. Können einzelne Werte keinem Block zugeordnet werden, so kann deren Funktionsgleichung nicht vereinfacht werden und muß im unvereinfachten Zustand in die entstehende Funktionsgleichung übernommen werden.

Erstellung der vereinfachten Funktionsgleichung aus dem KV-Diagramm:**Min-Term-Methode:**

1. Felder mit "1" zu 2er, 4er, 8er oder 16er Blöcken zusammenfassen
2. Die Variablen, die sich im Block ändern mit UND verknüpfen
3. Die einzelnen UND-Verknüpfungen mit ODER-Verknüpfungen zusammenfassen

Beispiel: $x = (a \wedge \bar{b} \wedge c) \vee (\bar{a} \wedge d \wedge \bar{c}) \vee (a \wedge b \wedge c \wedge d)$

Merke:

Variablen die innerhalb eines Blockes negiert und unnegiert auftreten, fallen aus der Gleichung.

Max-Term-Methode:

1. Felder mit "0" zu 2er, 4er, 8er oder 16er Blöcken zusammenfassen
2. Die Variablen, die sich im Block ändern mit ODER verknüpfen
3. Die einzelnen ODER-Verknüpfungen mit UND-Verknüpfungen zusammenfassen

Beispiel: $x = (a \vee b \vee \bar{c}) \wedge (\bar{a} \vee \bar{b} \vee c) \wedge (a \vee d \vee c)$

Merke:

Variablen die innerhalb eines Blockes negiert und unnegiert auftreten, fallen aus der Gleichung.

Disjunktive und Konjunktive Darstellungsform:**Disjunktive Normalform:**

- Zusammenfassen aller „1“-Felder nach der (UND)ODER(UND) Methode aus dem KV-Diagramm für x

Beispiel:

$$x = (a \wedge b) \vee (\bar{a} \wedge \bar{b})$$

- Umwandeln der Funktionsgleichung nach den Schaltalgebrenregeln:

Beispiel:

$$x = (a \wedge b) \vee (\bar{a} \wedge \bar{b}) \Rightarrow x = \overline{(a \wedge b) \vee (\bar{a} \wedge \bar{b})} \Rightarrow x = \overline{(a \wedge b)} \wedge \overline{(\bar{a} \wedge \bar{b})}$$

⇒ Schaltung ist in NAND-Technik realisierbar.

Konjunktive Normalform:

- Zusammenfassen aller „0“-Felder nach der (UND)ODER(UND) Methode aus dem KV-Diagramm für \bar{x} !!

Beispiel:

$$\bar{x} = (\bar{a} \wedge b) \vee (a \wedge \bar{b})$$

- Umwandeln der Funktionsgleichung nach den Schaltalgebrenregeln:

Beispiel:

$$\bar{x} = (\bar{a} \wedge b) \vee (a \wedge \bar{b}) \Rightarrow \bar{x} = \overline{(\bar{a} \wedge b) \vee (a \wedge \bar{b})} \Rightarrow \bar{x} = \overline{(\bar{a} \wedge b)} \wedge \overline{(a \wedge \bar{b})}$$

⇒ Schaltung ist in NAND-Technik realisierbar.

Schaltungslogikfamilien von Digitalerschaltungen (IC's):

Digitalerschaltungen der gleichen Logikfamilie zeichnen sich durch folgende Übereinstimmungen aus:

- gleiche Betriebsspannung
- gleiche Ein- und Ausgangspegel
- gleicher Störabstand
- gleiche Signallaufzeit

TTL-Familie:

Die Arbeitsgeschwindigkeit der TTL-Familie ist sehr hoch. Die Stromaufnahme ist aber leider auch sehr hoch. Durch den sehr niedrigen Störabstand führen Störspannungen leicht zu Fehlfunktionen.

Kennwerte:

Betriebsspannung:	+5V ± 0,25V
Leistungsaufnahme:	10mW pro Verknüpfung
Störabstand:	1V
Signallaufzeit:	10 ns
IC-Kennung:	74xx
Pegel:	Eingang: Low(L) = 0 – 0,8V ; High(H) = 2 – 5V Ausgang: Low(L) = 0 – 0,4V ; High(H) = 2,4 – 3,8V

Sonderbauformen:**Schottky-TTL:**

kürzere Schaltzeiten durch Schottky-Diode || BC-Strecke.

Kennzeichnung: 74Sxx ; Schaltzeit: 5ns ; Leistungsaufnahme: 20mW pro Verknüpfung

Advanced-Low-Power-Schottky-TTL:

kleinere Leistungsaufnahme, kürzere Schaltzeiten als Schottky-TTL.

Kennzeichen: 74ALSxx ; Schaltzeit: 4ns ; Leistungsaufnahme: 1mW pro Verknüpfung

FAST (Fairchild-Advanced-Schottky-TTL):

kürzeste Schaltzeiten.

Kennzeichen: 74Fxx ; Schaltzeit: 2,25ns ; Leistungsaufnahme: 4mW pro Verknüpfung

CMOS-Familie:

IC's der CMOS-Familie können mit einer Betriebsspannung bis 20V betrieben werden. Die Leistungsaufnahme der Eingänge ist sehr gering durch die MOS-Technologie. Die Schaltzeiten sind länger als bei TTL. Die Bauteile der CMOS-Familie sind aus MOS-FET-Transistoren vom n- und p-Kanaltyp aufgebaut, deshalb nennt man sie auch Complementary (ergänzend) MOS. Die Schaltungsfamilie ist einfach aufgebaut, hat eine hohe Integrationsdichte und kann preiswert hergestellt werden.

Kennwerte:

Betriebsspannung:	+5V – +18V
Leistungsaufnahme:	10nW pro Verknüpfung
Störabstand:	2V
Signallaufzeit:	50 ns
IC-Kennung:	4xxx bzw. 74HC4xxx
Pegel (bei 5V):	Eingang: Low(L) = 0 – 1,5V ; High(H) = 3,5 – 5V Ausgang: Low(L) = 0 – 0,5V ; High(H) = 4,5 – 5V

Erklärung der Kennwerte von Logikfamilien:

Geschwindigkeit:

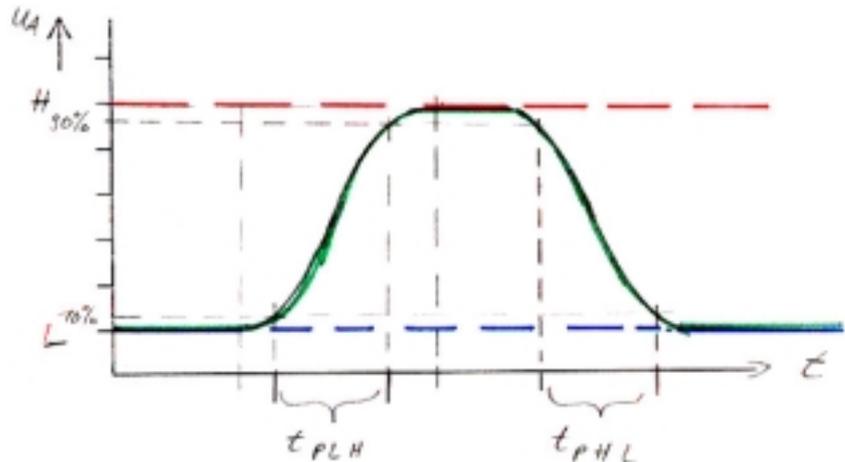
Die Schaltzeiten der Verknüpfungsglieder bestimmen die Arbeitsgeschwindigkeit.

Signallaufzeit:

Die Signallaufzeit ist die Impulsverzögerung zwischen Eingangs- und Ausgangssignal.

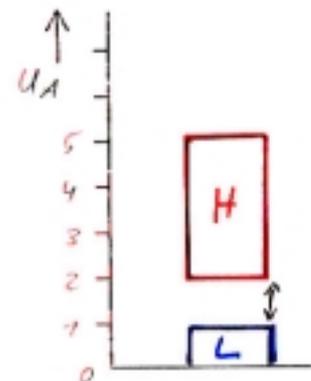
Signalübergangszeit:

Die Signalübergangszeit gibt an, in welcher Zeit sich der Signalwert von 10% auf 90% des gewünschten Signals geändert hat.



Störabstand:

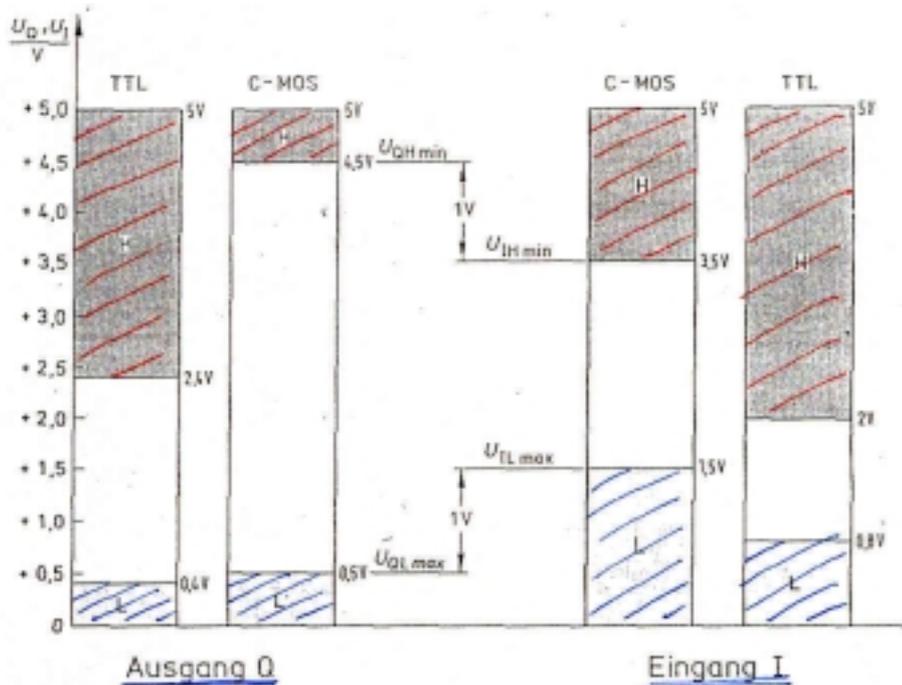
Je größer der Abstand zwischen dem Low- und High-Pegel ist, desto größer ist auch die Störsicherheit, das heißt der Schutz vor den Auswirkungen von Störspannungen.



Lastfaktor:

Ein- und Ausgänge von IC's können nicht beliebig belastet werden, da sonst die Pegel in den undefinierten Bereich absinken. Der Ausgangslastfaktor (fan out) F_0 bestimmt, wie viele Eingänge maximal an einem Ausgang angeschlossen werden dürfen.

Pegel:



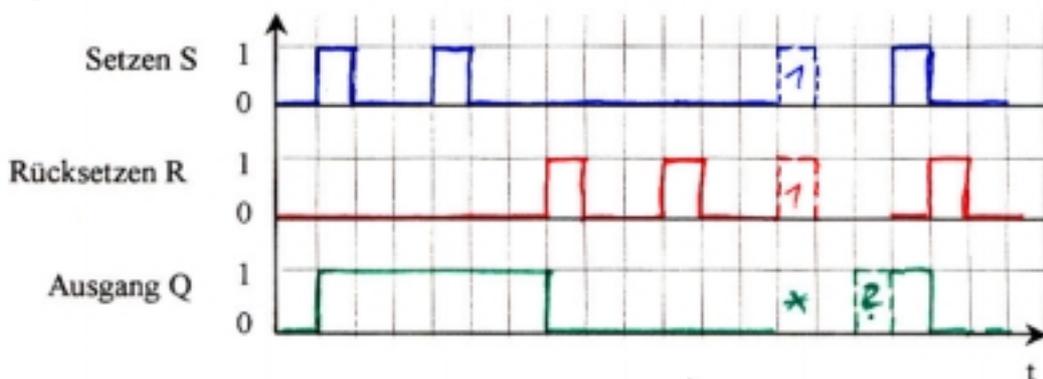
RS-Flip-Flop:

Als einfachste Möglichkeit zum speichern einer digitalen Information dient das RS-Kippglied auch Flip-Flop genannt.



Die meisten RS-FF haben einen Setz- (S) und einen Rücksetzeingang (R). Oft wird neben dem Ausgang Q auch der negierte Ausgang /Q herausgeführt. Das RS-FF entsteht durch einfaches Verschalten zweier NOR-Glieder. (siehe ESB)

Signal-Zeit-Plan:



Wahrheitstabelle:

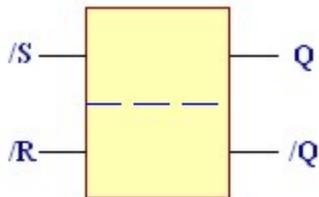
S	R	Q _{tn+1}
0	0	Q _{tn}
1	0	1 = setzen
0	1	0 = löschen
1	1	* = verboten

Q_{tn} = Zustand vor Anlegen einer neuen Wertekombination der Eingangssignale
 Q_{tn+1} = Zustand nach Anlegen einer neuen Wertekombination der Eingangssignale
 ? = nicht definierter Zustand des Ausgang. Kann 0 oder 1 sein, je nachdem welches NOR-Gatter schneller ist.
 * = verbotener Zustand

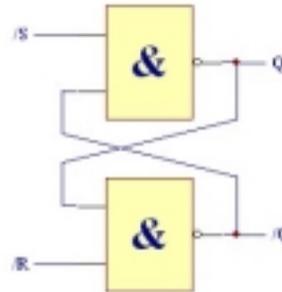
RS-Kippglied aus NAND-Gattern:

Das RS-FF wird oft auch mit NAND-Gattern aufgebaut, was eine Negation der Eingänge zur Folge hat.

Schaltzeichen



ESB



Wahrheitstabelle:

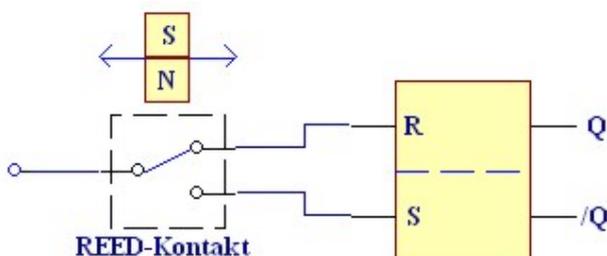
S	R	Q _{tn+1}
0	0	* = verboten
1	0	0 = löschen
0	1	1 = setzen
1	1	Q _{tn}

Q_{tn} = Zustand vor Anlegen einer neuen Wertekombination der Eingangssignale
 Q_{tn+1} = Zustand nach Anlegen einer neuen Wertekombination der Eingangssignale
 ? = nicht definierter Zustand des Ausgang. Kann 0 oder 1 sein, je nachdem welches NOR-Gatter schneller ist.
 * = verbotener Zustand

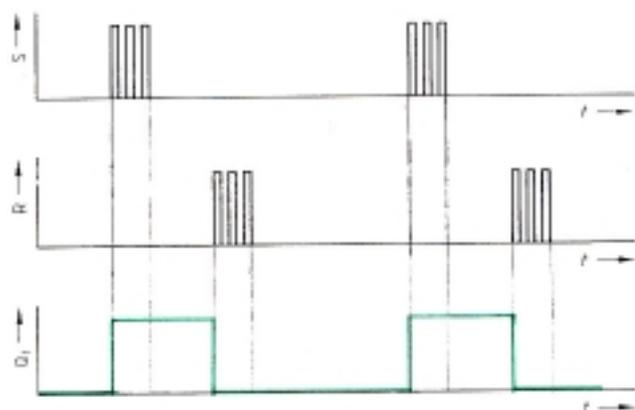
Entprellter Reed-Kontakt:

Als Anwendungsbeispiel für ein RS-FF kann z.B. die Schalterentprellung verwendet werden.

Schaltungsaufbau:



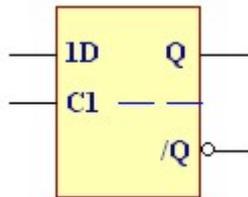
Signal-Zeit-Plan:



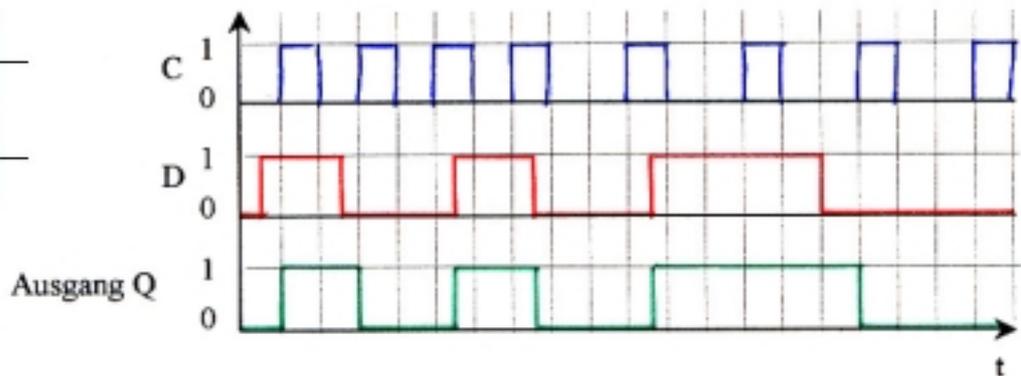
Statisches D-Flip-Flop:

Statische D-FF schalten, sobald an den Eingängen die entsprechenden Pegel anliegen.

Schaltzeichen



Signal-Zeit-Plan



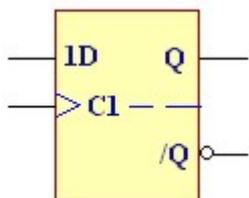
Wahrheitstabelle:

D	C	Q _{tn+1}
0	0	Q _{tn}
1	0	Q _{tn}
0	1	1
1	1	0

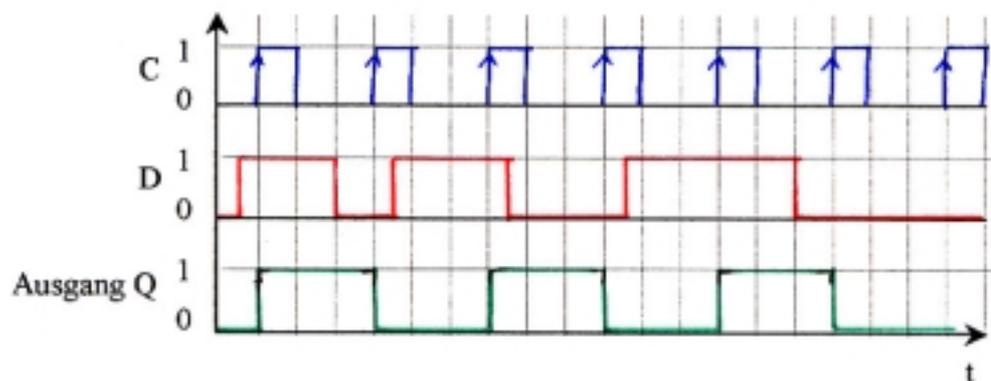
Dynamisches D-Flip-Flop:

Im Unterschied zum statischen D-FF schaltet das dynamische D-FF, wenn am D-Eingang der entsprechenden Pegel und am C-Eingang die entsprechende Flanke anliegt.

Schaltzeichen



Signal-Zeit-Plan



Wahrheitstabelle:

D	C	Q _{tn+1}
0	0	Q _{tn}
1	0	Q _{tn}
0	1	1
1	1	0

schaltet nur bei ansteigender Flanke

In der Wahrheitstabelle wird der Unterschied zwischen statischem und dynamischen D-FF nicht deutlich. Man kann den Unterschied nur im Schaltbild feststellen:

Ein > vor dem C-Eingang deutet auf einen dynamischen Eingang hin.

JK-Flip-Flop (Einflankengesteuerter JK-Flip-Flop):

JK-FF sind grundsätzlich dynamische, also flankengesteuerte Flip-Flop's.

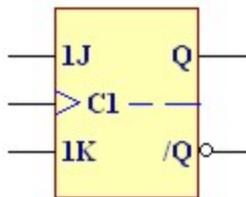
Der Vorteil der JK-FF ist die gegenseitige Verriegelung der Eingangsgatter wodurch kein gleichzeitiges Setzen und Rücksetzen möglich ist.

Das Setzen erfolgt mit einem 1-Pegel an J und einer ansteigenden Flanke an C

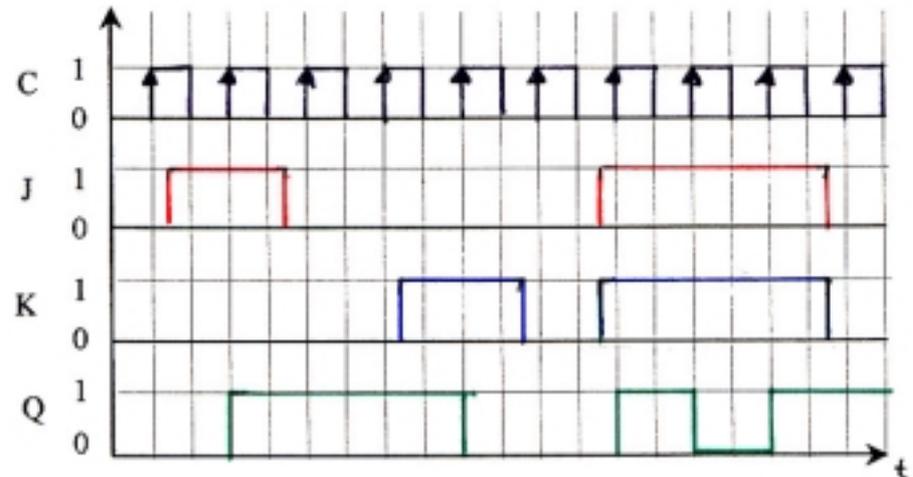
Das Löschen erfolgt mit einem 1-Pegel an K und einer ansteigenden Flanke an C

Wenn J und K 1-Pegel haben, wird mit jeder ansteigenden Flanke an C der Ausgangszustand negiert.

Schaltbild



Signal-Zeit-Plan

**Wahrheitstabelle:**

J	K	Q_{tn+1}
0	0	Q_{tn}
1	0	1
0	1	0
1	1	$/Q_{tn}$

Q_{tn} = Zustand vor Anlegen einer neuen Wertekombination der Eingangssignale

$/Q_{tn}$ = Negierung des vorherigen Zustandes des Ausganges

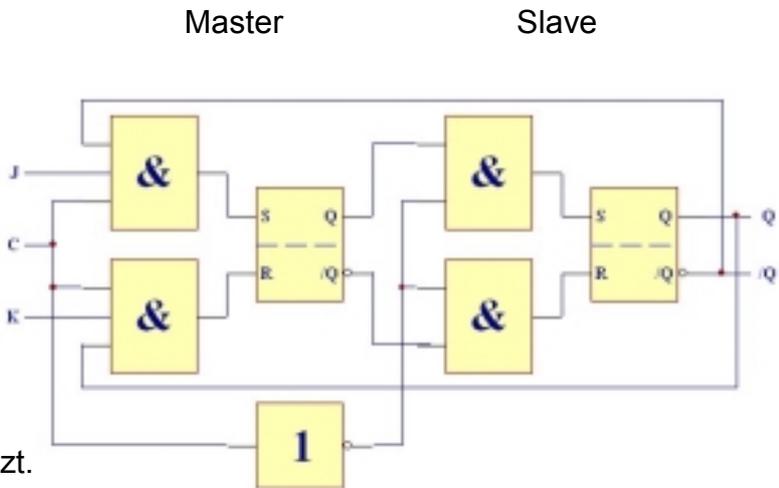
JK-Master-Slave- Flip-Flop (Zweiflankengesteuertes JK-Flip-Flop):

Im Unterschied zum einflankengesteuerten JK-FF erfolgt die Ansteuerung des JK-Master-Slave-FF etwas anders:

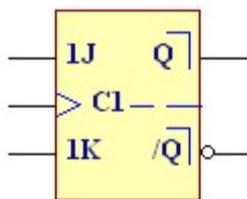
ESB eines JK-Master-Slave-FF:

Bei der positiven Flanke an C wird der Zustand der Eingänge in das Master-FF eingelesen. Dabei ist das Slave-FF durch die Invertierung des Taktes verriegelt.

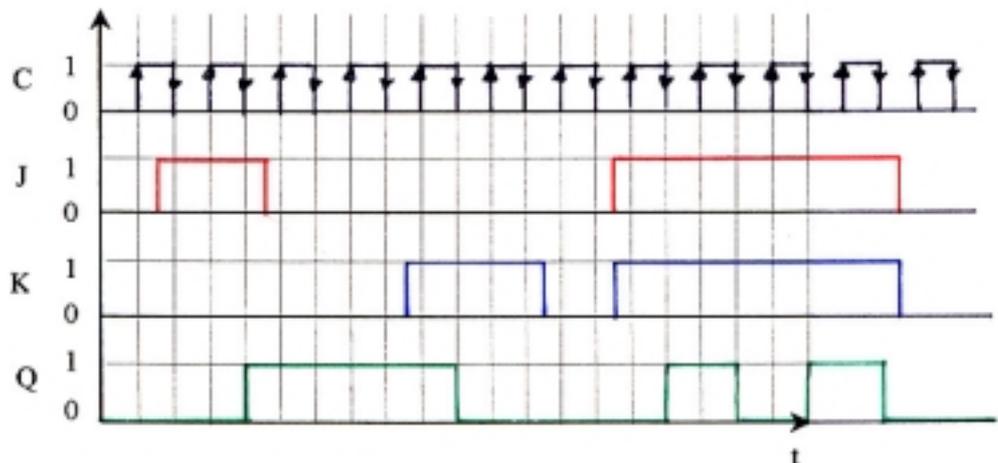
Mit den negativen Flanke ist nun der Master verriegelt und die Ausgänge des Master-FF werden in das Slave-FF eingelesen und die Ausgänge entsprechend gesetzt.



Schaltbild



Signal-Zeit-Plan



Die Wahrheitstabelle unterscheidet sich nicht vom einflankengesteuerten JK-FF. Der Unterschied ist nur im Schaltzeichen zu erkennen:

Das $\overline{}$ an den Ausgängen steht für die Zweiflankensteuerung.

Wahrheitstabelle:

J	K	Q_{tn+1}
0	0	Q_{tn}
1	0	1
0	1	0
1	1	$\overline{Q_{tn}}$

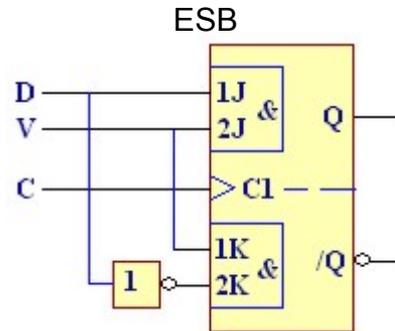
Q_{tn} = Zustand vor Anlegen einer neuen Wertekombination der Eingangssignale
 $\overline{Q_{tn}}$ = Negierung des vorherigen Zustandes des Ausganges

DV-Flip-Flop:

Das DV-FF hat einen zusätzlichen Vorbereitungseingang V. Liegt am V-Eingang ein 1-Signal, so ändert sich das Ausgangssignal entsprechend des D-Eingangs. Liegt der V-Eingang auf 0, so steht das DV-FF im „Speicherzustand“ und das Ausgangssignal ändert sich nicht.

Wahrheitstabelle

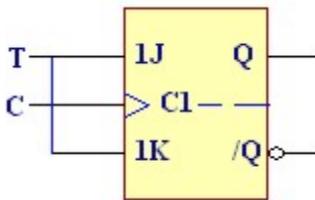
D	V	Q _{tn+1}
0	0	Q _{tn}
1	0	Q _{tn}
0	1	0
1	1	1



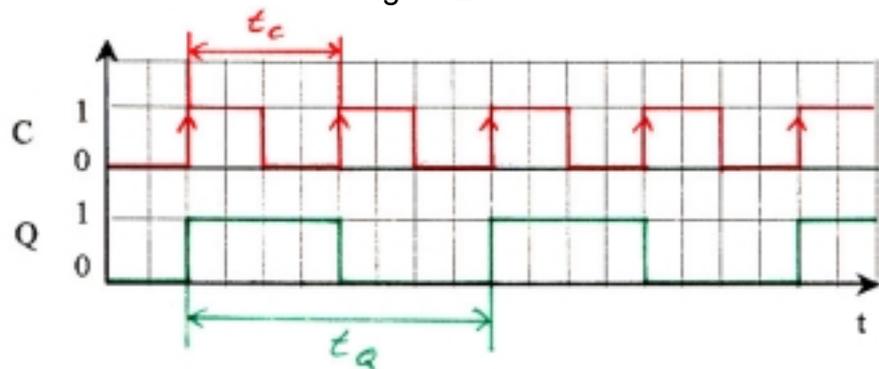
T-Flip-Flop:

Beim T-FF sind der J- und der K-Eingang miteinander verbunden.

Schaltbild



Signal-Zeit-Plan



Wahrheitstabelle:

T	Q _{tn+1}
0	Q _{tn}
1	/Q _{tn}

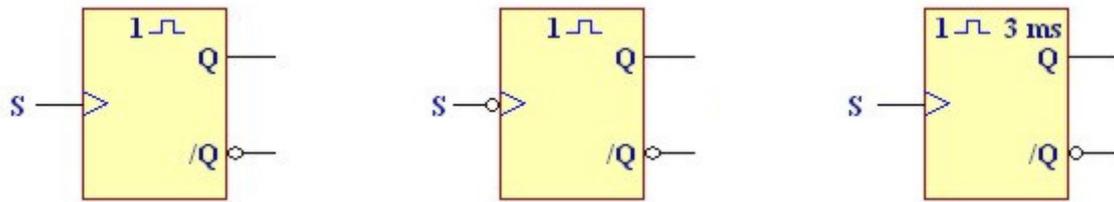
Die Zeitspanne t_Q lässt sich wie folgt berechnen: $t_Q = 2 \cdot t_c \Rightarrow f_Q = \frac{1}{2} \cdot f_c$

Das T-FF ist damit ein Binärumschalter, der die Taktfrequenz an C halbiert.

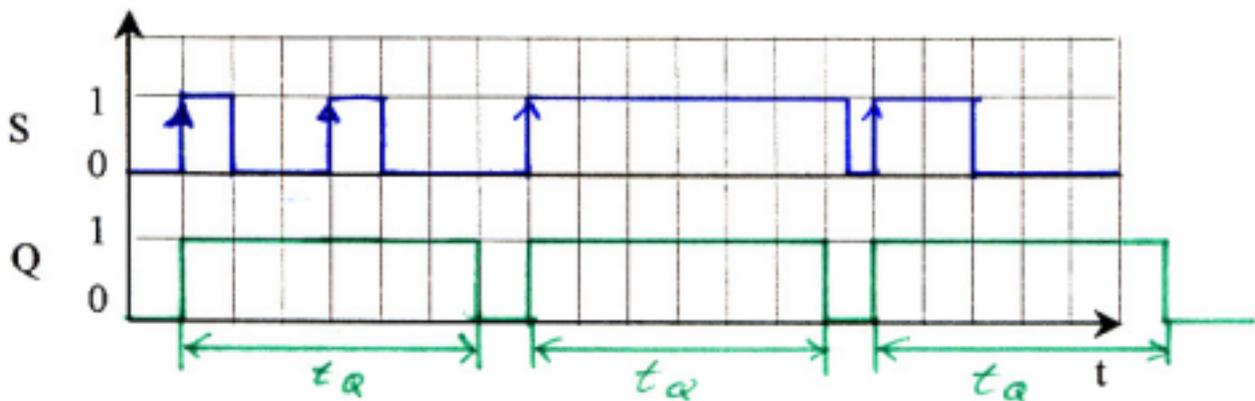
Monostabile Kippglieder:

Monostabile Kippglieder haben eine Ruhestellung in der der Ausgang Q auf 0-Pegel und /Q auf 1-Pegel liegt. In der Arbeitsstellung liegt der Ausgang Q eine bestimmte Verweildauer t_v bzw. t_Q auf 1-Pegel und /Q auf 0-Pegel. Die Verweildauer wird teilweise im Schaltzeichen mit angegeben.

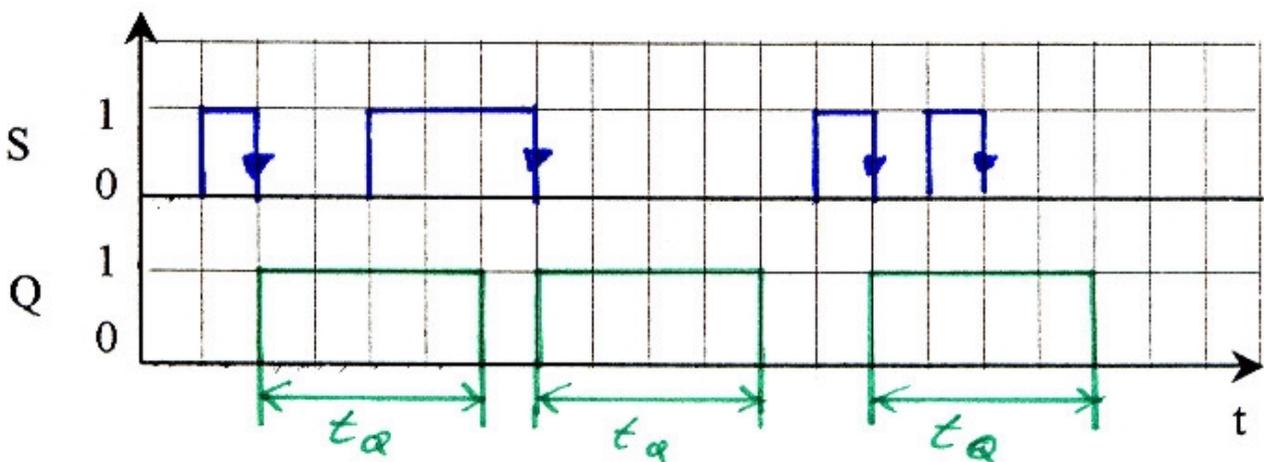
Schaltzeichen



Signal-Zeit-Plan für positive Flankensteuerung



Signal-Zeit-Plan für negative Flankensteuerung

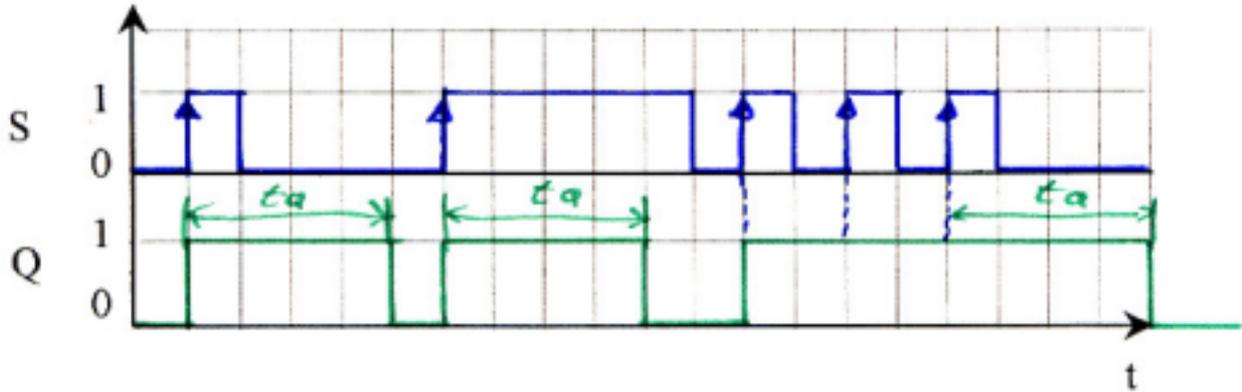


Die Verweildauer t_v bzw. t_Q bleibt unabhängig vom Eingangssignal an S konstant !

Nachtriggerbares Monostabiles Kippglied:

Wenn das nachtriggerbare Monostabile Kippglied im Arbeitszustand ist, erfolgt bei einer weiteren positiven Flanke an S ein erneuter Start der Verweildauer t_v bzw. t_Q .

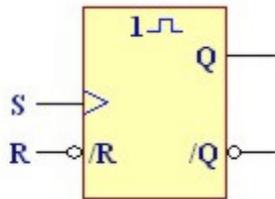
Signal-Zeit-Plan



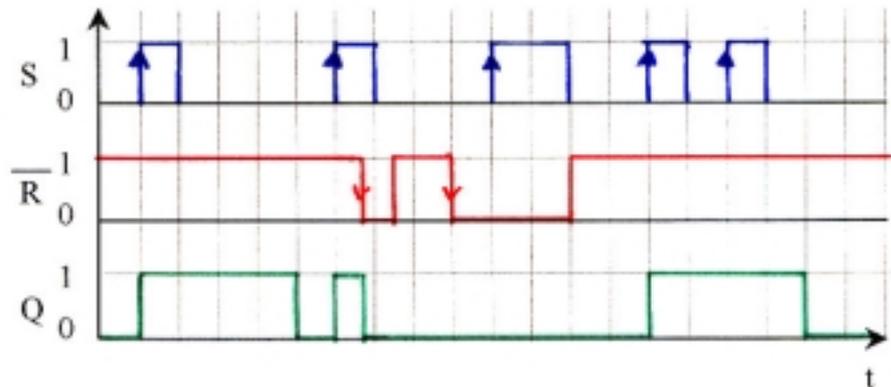
Monostabiles Kippglied mit Rücksetzeingang:

Beim Monoflop mit Rücksetzeingang ist der R-Eingang dominant d.h. er hat Vorrang.

Schaltzeichen



Signal-Zeit-Plan



Monostabiles Kippglied mit Außenbeschaltung:

Bei diesem IC wird mit der Außenbeschaltung die Verweildauer t_v bzw. t_Q eingestellt.

$$t_v = 0,69 \cdot R \cdot C$$

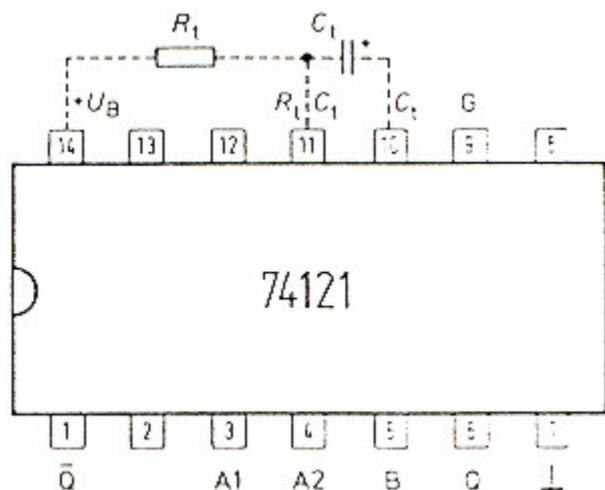
$$R = \frac{t_v}{0,69 \cdot C}$$

$$C = \frac{t_v}{0,69 \cdot R}$$

- $t_v = t_Q$ = Verweildauer in s
- R = Widerstand in Ω
- C = Kapazität in F

Für 74121 gilt:

- R = 1,4 k Ω 40 k Ω
- C = 10 pF 1000 μ F



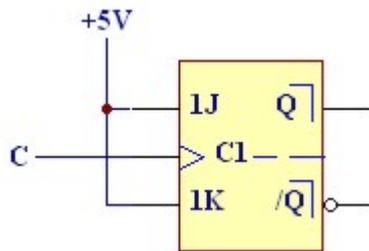
Grundprinzip der Zähler:

Der einfachste Binäre Zähler ist ein JK-Master-Slave-Flip-Flop.

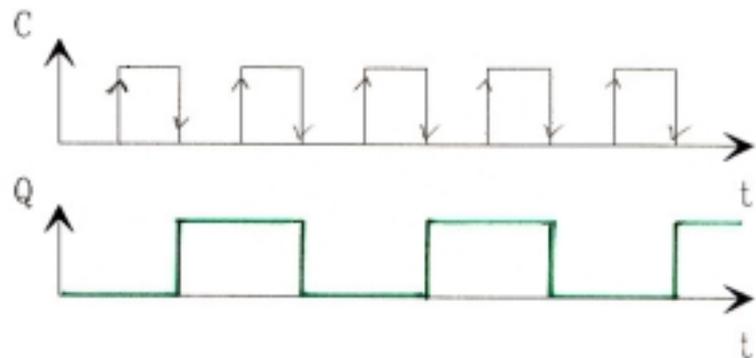
Damit das Flip-Flop „zählt“ werden der J- und K-Eingang auf 1-Pegel gesetzt.

Nun wechselt mit jedem zweiten Impuls am Takteingang C der Ausgang Q !!

Prinzip-Schaltbild



Signal-Zeit-Plan



Man kann diese Zählerbaustein auf verschiedene Art und Weise zusammenschalten.

Man unterscheidet dabei nach

- Art der Ansteuerung:
 - asynchron: Nur erster Zählerbaustein hat den Takt direkt
 - synchron: Alle Zählerbausteine haben Takt direkt
- Art der Zählrichtung:
 - vorwärts
 - rückwärts
- Art des Zahlensystems:
 - dual
 - dezimal
 - hexadezimal

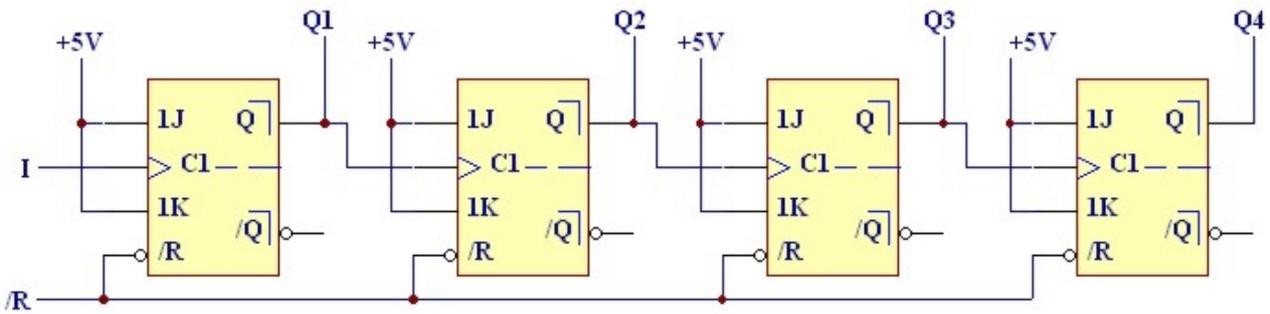
Alle Zähler sind jedoch eine Abwandlung eines Dualzählers. Nach der obigen Unterscheidung können auch verschiedenen Mischformen auftreten.

Asynchroner Vorwärtszähler (Asynchroner Dualzähler):

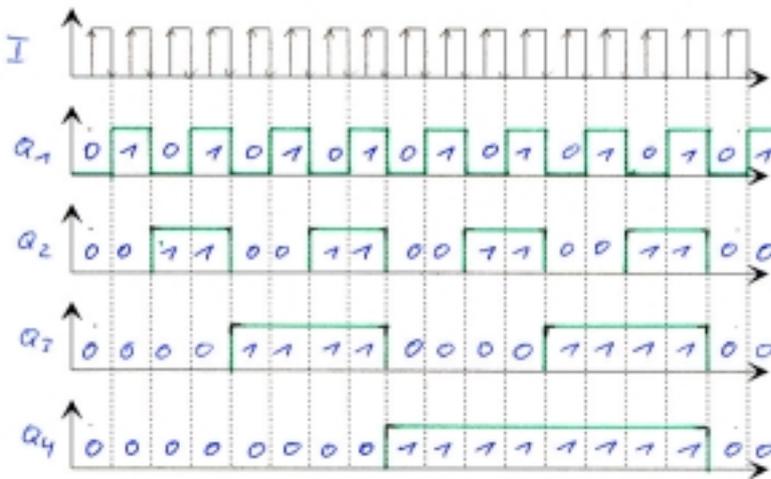
Der Asynchrone Dualzähler stellt die einfachste Form des Zählers dar. Bei diesem Zählertyp wird das zu zählende Signal auf den I-Eingang geschaltet.

Beim Vorwärtszähler dient der Ausgang Q den nächsten Zählerbaustein als Takteingang usw.

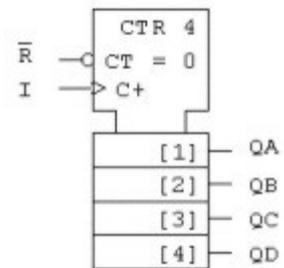
Schaltbild:



Signal-Zeit-Plan:



Norm-Schaltbild:



CTR4 = Zähler 4-stufig

CT = Content-Input

⇒ 0-Pegel = Reset

⇒ $Q_1 = Q_2 = Q_3 = Q_4 = 0$

C+ = Zählrichtung vorwärts

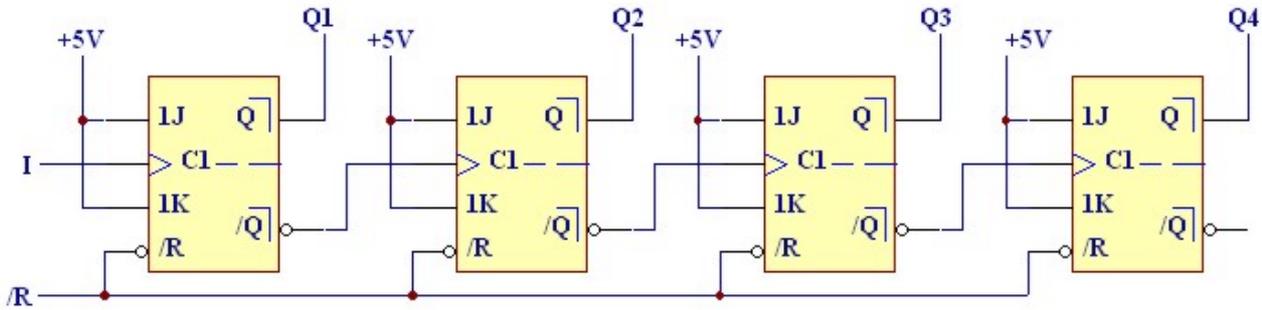
Mit der negativen Flanke des 15. Zählimpulses sind alle FF's gesetzt und damit ist die maximale Zählkapazität dieses Zählers erreicht. Mit der negativen Flanke des 16. Zählimpulses springt der Zähler wieder in seinen Anfangszustand.

⇒ Der 4-stufige Zähler hat also $2^4 = 16$ Zählzustände und eine Zählkapazität von 0 bis 15

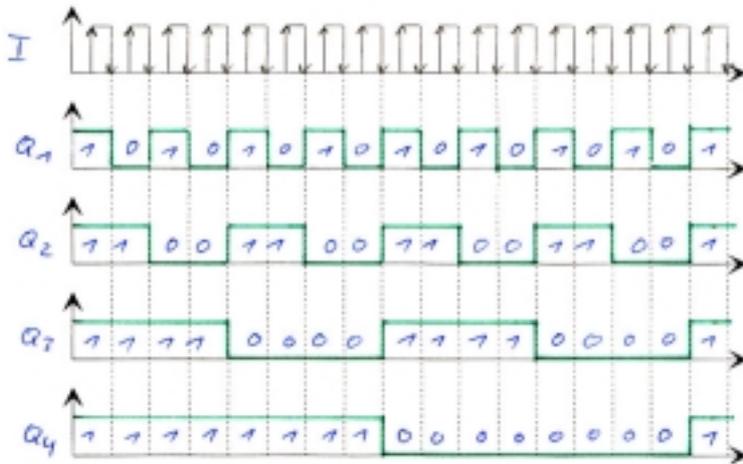
Asynchroner Rückwärtszähler:

Beim asynchronen Rückwärtszähler wird das negierte Ausgangssignal des ersten Zählerbausteins als Takt des zweiten Zählerbausteins verwendet.

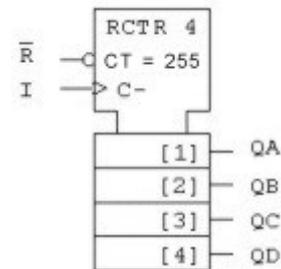
Schaltbild:



Signal-Zeit-Plan:



Norm-Schaltzeichen



RCTR4 = Rückwärtszähler
4-stufig
CT = Content-Input
⇒ 0-Pegel = Reset
⇒ $Q_1 = Q_2 = Q_3 = Q_4 = 1$
C- = Rückwärtszähler

Beim Rückwärtszähler ist zu beachten, das die Grundstellung der Ausgänge nach einem Reset immer 1-Pegel sein muß sonst funktioniert der Zähler nicht richtig!!

Asynchroner Modulo-Zähler:

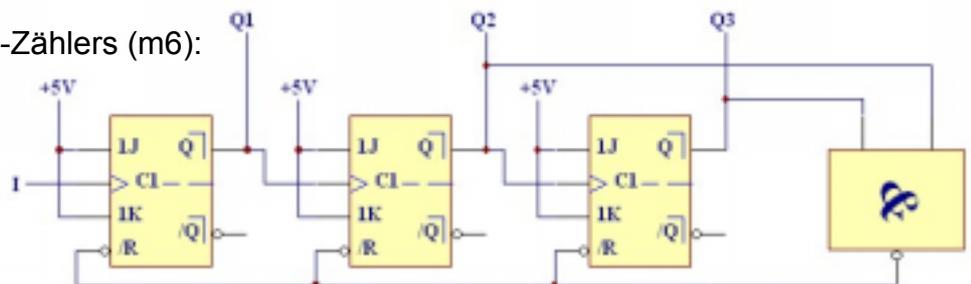
In der Technik werden oft Zähler benötigt, die eine variable Zählkapazität besitzen. Dies lässt sich durch eine einfache Beschaltung realisieren. Durch Umwandlung der gewünschten Zählkapazität in eine Binärzahl lassen sich die benötigten Zählerstufen ablesen. Pro Stelle der Binärzahl wird eine Zählstufe benötigt. Nun werden alle Ausgänge die bei der gewünschten Zählerkapazität auf 1-Pegel stehen mit einem NAND-Gatter verknüpft und der Ausgang des NAND-Gatter auf den /R-Eingang der Zählstufen gelegt. Somit werden mit Erreichen der Zählkapazität die Zählstufen zurückgesetzt.

Schaltbild eines Modulo6-Zählers (m6):

$6_{10} = 110_2$

⇒ 3 Zählstufen

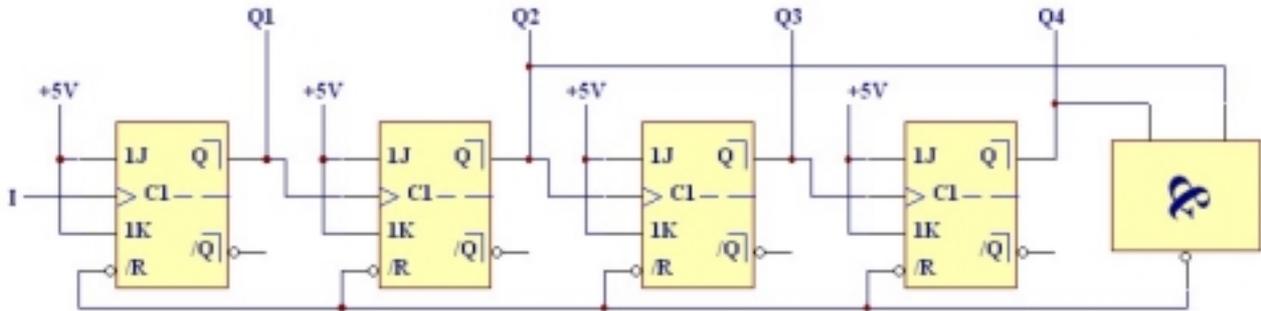
⇒ Q_2 und Q_3 auf NAND



Asynchroner Dezimalzähler (Modulo10-Zähler):

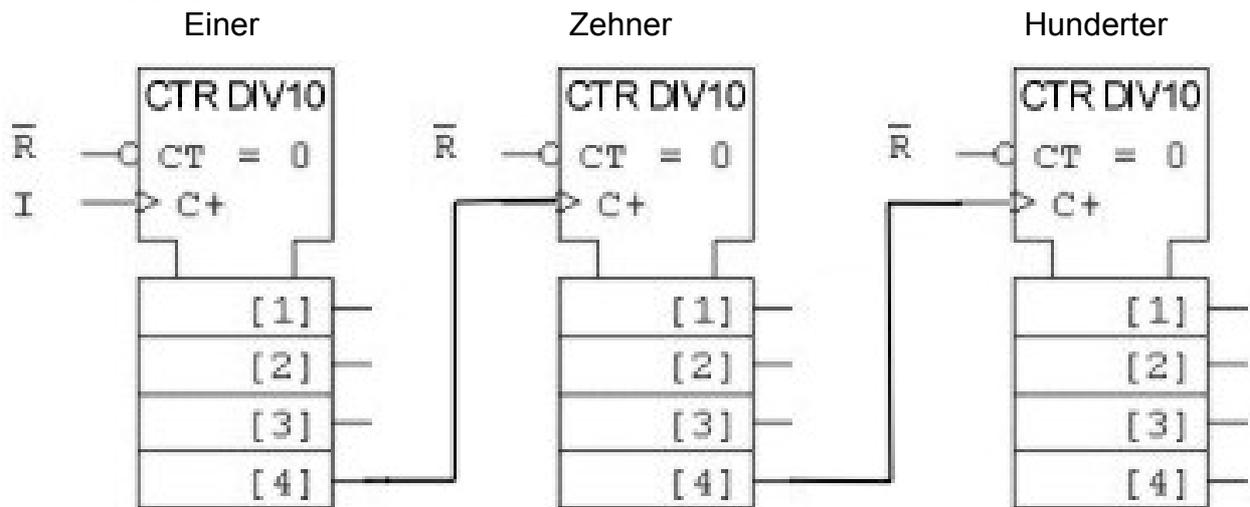
Dieser Zähler zählt von 0 bis 9 und springt dann zurück in die Grundstellung. Es werden 4 Zählstufen benötigt, da die Dezimalzahl 10 eine 4-stellige Binärzahl (1010) ergibt. Zum auslösen des Reset werden die Ausgänge Q₄ und Q₂ verwendet.

Schaltbild:



Soll nun z.B. bis 100 gezählt werden, können praktischerweise 3 Modulo10-Zähler hintereinander geschaltet werden.

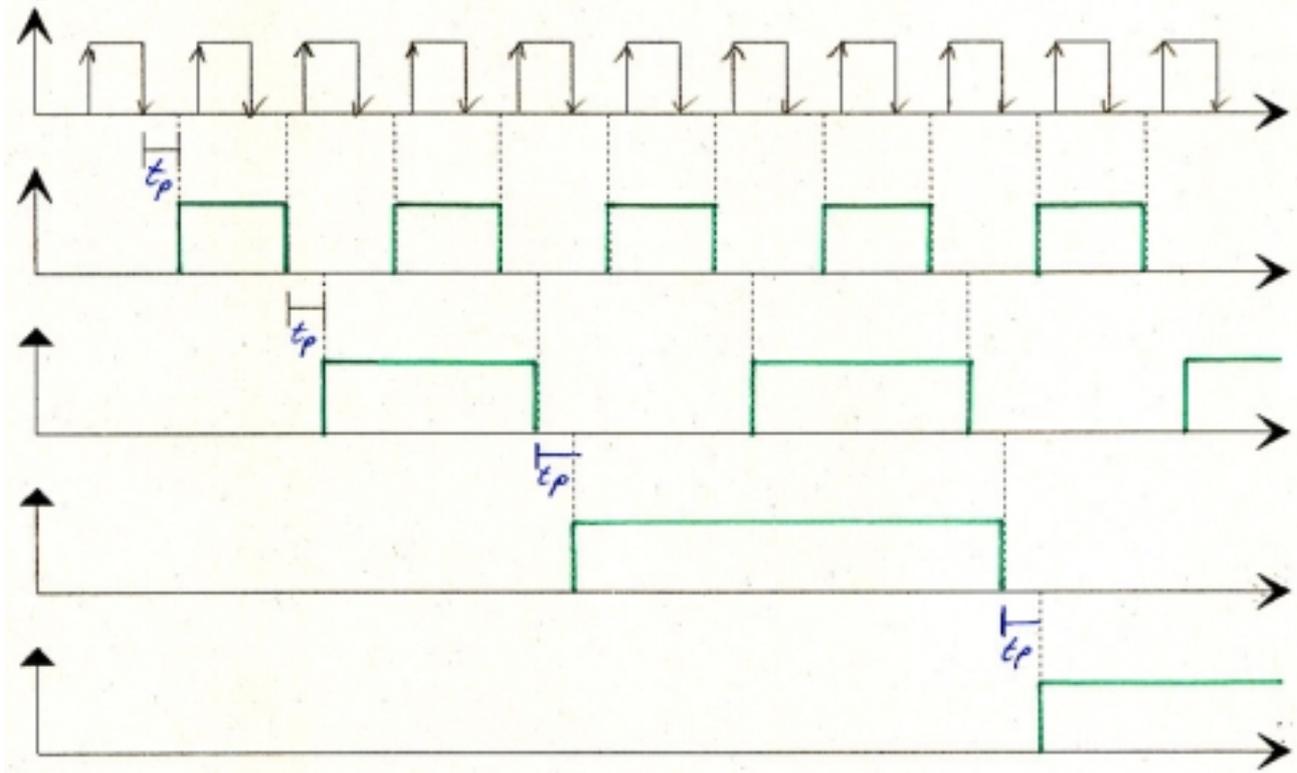
Norm-Schaltbild:



Probleme beim Asynchrone Zähler:

Durch die Signallaufzeiten in den JK-FF und die Hintereinanderschaltung von mehreren JK-FF im Asynchrone Zähler ergeben sich Signalverschiebungen, die unter Umständen die richtige Darstellung einiger Zählerstände verhindert. Daher ergibt sich für den Asynchrone Zähler eine begrenzte Zählfrequenz.

Signal-Zeit-Plan:



$$f_{\max} = \frac{1}{n \cdot t_p}$$

$$t_p = \frac{1}{n \cdot f_{\max}}$$

$$n = \frac{1}{t_p \cdot f_{\max}}$$

f_{\max} = maximale Zählfrequenz in Hz

n = Anzahl der Zählstufen

t_p = Signallaufzeit in einer Zählstufe

Synchronzähler:

Der Synchronzähler besteht, wie auch der Asynchronzähler, aus JK-Master-Slave-Flip-Flops. Im Unterschied zum Asynchronzähler wird beim Synchronzähler den einzelnen JK-FF's der Takt gleichzeitig zugeführt (synchron).

Aus diesem Grund müssen die J- und K-Eingänge zusätzlich über logische Schaltungen angesteuert werden um sicherzustellen, dass immer nur die richtigen Zählstufen ihren Zustand ändern. Je größer die Zählkapazität ist, desto größer wird auch der Aufwand für die Beschaltung.

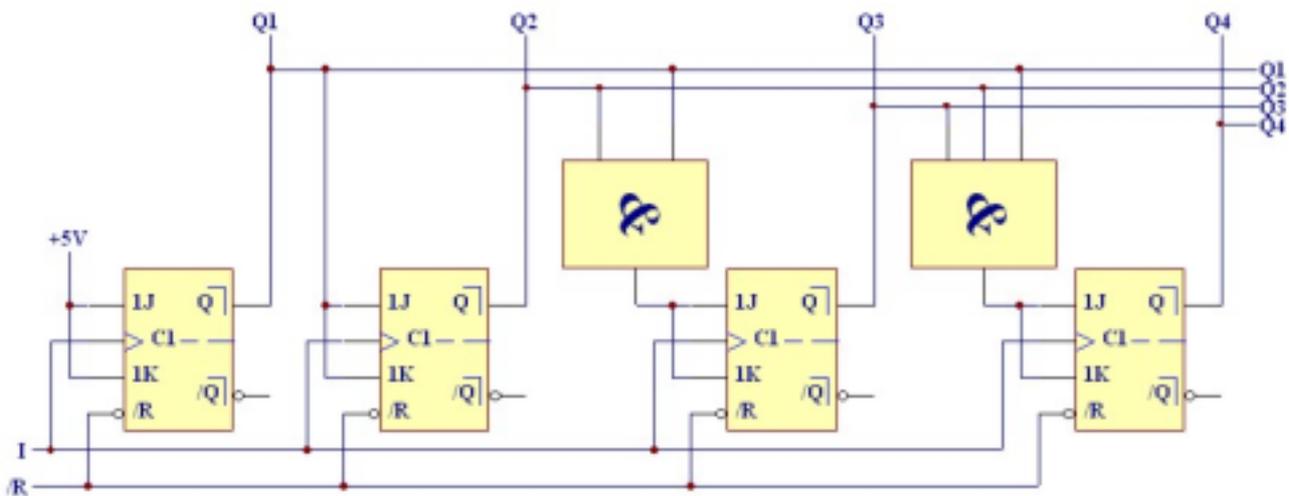
Synchronzähler können mit einer höheren Zählfrequenz als die Asynchronzähler arbeiten. Sie sind damit schneller als die Asynchronzähler.

$$f_{\max} \approx \frac{1}{t_p}$$

$$t_p \approx \frac{1}{f_{\max}}$$

f_{\max} = maximale Zählfrequenz in Hz

t_p = Signallaufzeit in einer Zählstufe



Zur Beschaltung der J- und K-Eingänge gibt es eine Regel:

Die erste Zählstufe ist so zu beschalten, dass mit den negativen Flanke des Taktimpulses der Ausgang negiert wird (J und K auf +5V).

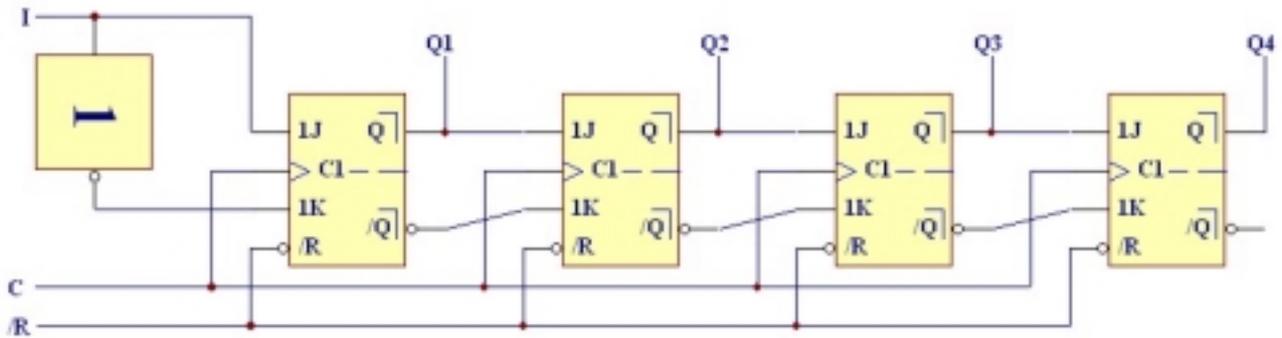
Jede weiteren Zählstufe sind so zu beschalten, dass alle vorherigen Ausgänge mit UND verknüpft auf die jeweiligen J- und K-Eingänge geführt werden.

Schieberegister:

Schieberegister sind Mehrfachspeicher, die den Speicherinhalt von einem Register zum nächsten weiterschieben.

Schieberegister bestehen aus JK-Master-Slave-Flip-Flops die so verschaltet sind, dass die Ausgänge des vorherigen JK-FF mit den jeweiligen J- und K-Eingängen des folgenden JK-FF's verbunden sind.

Schaltbild:



Signal-Zeit-Plan:

